



1. 概括描述

EM78P447S是采用低功耗高速CMOS工艺设计开发的8位单片机。其内部有4K×13位一次性编程ROM (OTP-ROM)。它还提供一个保护位避免用户存在OTP的程序被读取。7个选择位完全可以满足用户的需要。

具有OTP-ROM特点的EM78P447S能够为用户提供开发和校验程序的便利，而且用户可以使用 EMC Writer 轻松开发程序。



2. 功能特点

- 工作电压范围： 2.3V~5.5V。
- 工作温度范围： 0°C~70°C。
- 工作频率范围（基于 2 个 clocks）：
 - * 晶振模式： DC~20MHz（5V）， DC~8MHz（3V）， DC~4MHz（2.3V）。
 - * ERC 模式： DC~4MHz（5V）， DC~4MHz（3V）， DC~4MHz（2.3V）。
- 低功耗：
 - * 5V/4MHz 工作条件下电流小于 2.2 mA。
 - * 3V/32KHz 工作条件下电流典型值为 30 μ A。
 - * 睡眠模式下电流典型值为 1 μ A。
- 4K \times 13 位片内 ROM。
- 一个安全寄存器保证程序不被读出。
- 一个配置寄存器满足用户要求。
- 148 \times 8 位片内寄存器（SRAM 通用寄存器）。
- 3 个双向 I/O 端口。
- 5 级堆栈。
- 8 位实时定时器/计数器(TCC)，其信号源和触发沿可由软件设定，可设置溢出中断。
- 每个指令周期为 2 个时钟周期。
- 省电模式(SLEEP 模式)。
- 2 个中断源。
 - * TCC 溢出中断。
 - * 外部中断。
- 可编程自由运行看门狗定时器（WDT）。
- 10 个引脚可编程设置为上拉。
- 2 个引脚可编程设置为漏极开路。
- 2 个引脚可编程设置为 R-option。
- 封装形式：
 - * 28 引脚 DIP 600mil : EM78P447SAP
 - * 28 引脚 SOP(SOIC) 300mil : EM78P447SAM
 - * 28 引脚 SSOP 209mil : EM78P447SAS
 - * 32 引脚 DIP 300mil : EM78P447SBP



- * 32 引脚 SOP 450mil: EM78P447SBWM
- 99.9% 指令为单指令周期。
- 系统区分 HXT 和 LXT 的频率点在 400KHz 左右。

3. 引脚分配

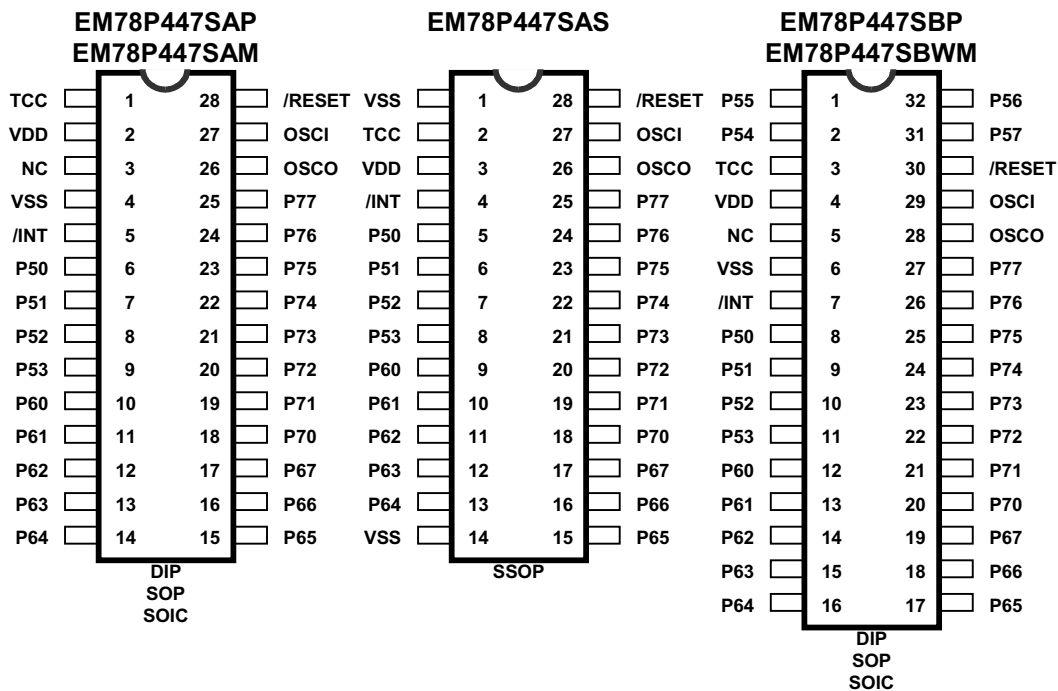


图1 引脚分配

表 1 EM78P447SAP 和 EM78P447SAM 引脚描述

Symbol	Pin No.	Type	Function
VDD	2	-	* 电源
OSCI	27	I	* XTAL型: 晶振或外部时钟输入端 * RC型: RC 振荡器输入端
OSCO	26	I/O	* XTAL型: 晶振输出或外部时钟输入端 * RC 型: 指令时钟输出端 * 外部时钟信号输入
TCC	1	I	* 实时定时计数器 (斯密特触发) 输入引脚, 不用时必须与 VDD 或 VSS 连接。
/RESET	28	I	* 斯密特触发器输入端, 若该引脚保持低电平, 其控制器也将保持在复位状态。



P50~P53	6-9	I/O	* P50~P53是双向 I/O 引脚
P60~P67	10-13	I/O	* P60~P67是双向I/O 引脚 * 都可由软件设为上拉
P70~P77	18-25	I/O	* P70~P77是双向I/O 引脚 * P74~P75可由软件设为上拉 * P76~P77可由软件设为漏极开路 * P70 和 P71也可定义为 R-option 引脚
/INT	5	I	* 下降沿触发的外部中断引脚
VSS	4	-	* 地
NC	3	-	* 未接

2 EM78P447SAS 引脚描述

Symbol	Pin No.	Type	Function
VDD	3	-	* 电源
OSCI	27	I	* XTAL型: 晶振或外部时钟输入端 * RC型: RC 振荡器输入端
OSCO	26	I/O	* XTAL型: 晶振输出或外部时钟输入端 * RC 型: 指令时钟输出端 * 外部时钟信号输入
TCC	2	I	* 实时定时计数器 (斯密特触发) 输入引脚, 不用时必须与 VDD 或 VSS 连接。
/RESET	28	I	* 斯密特触发器输入端, 若该引脚保持低电平, 其控制器也将保持在复位状态。
P50~P53	5-8	I/O	* P50~P53是双向 I/O 引脚
P60~P67	9-13, 15-17	I/O	* P60~P67是双向I/O 引脚 * 都可由软件设为上拉
P70~P77	18-25	I/O	* P70~P77是双向I/O 引脚 * P74~P75可由软件设为上拉 * P76~P77可由软件设为漏极开路 * P70 和 P71也可定义为 R-option 引脚
/INT	4	I	* 下降沿触发的外部中断引脚
VSS	1, 14	-	* 地

表 3 EM78P447SBP 和 EM78P447SBWM 引脚描述

Symbol	Pin No.	Type	Function
VDD	4	-	* 电源
OSCI	29	I	* XTAL型: 晶振或外部时钟输入端 * RC型: RC 振荡器输入端
OSCO	28	I/O	* XTAL型: 晶振输出或外部时钟输入端 * RC 型: 指令时钟输出端 * 外部时钟信号输入
TCC	3	I	* 实时定时计数器 (斯密特触发) 输入引脚, 不用时必须与 VDD 或 VSS 连接。
/RESET	30	I	* 斯密特触发器输入端, 若该引脚保持低电平, 其控制器也将保持在复位状



			态。
P50~P57	8-11, 2-1 32-31	I/O	* P50~P57是双向 I/O 引脚
P60~P67	12-19	I/O	* P60~P67是双向I/O 引脚 * 都可由软件设为上拉
P70~P77	20-27	I/O	* P70~P77是双向I/O 引脚 * P74~P75可由软件设为上拉 * P76~P77可由软件设为漏极开路 * P70 和 P71也可定义为 R-option 引脚
/INT	7	I	* 下降沿触发的外部中断引脚
VSS	6	-	* 地
NC	5	-	* 未接

4. 功能描述

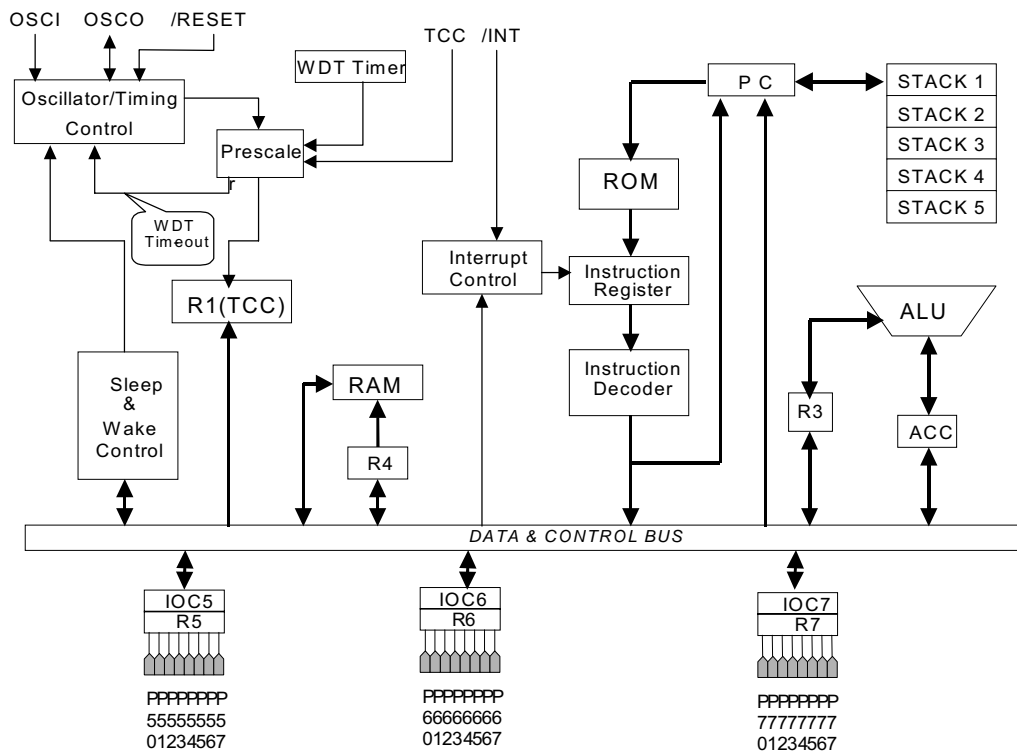


图2 功能模块图

4.1 操作寄存器

1. R0 (间址寄存器)

R0 并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以 R0 为指针的指令实际上是对 RAM 选择寄存器 R4 所指的数据进行操作。

2. R1 (定时器 /计数器)

- 由 TCC 引脚的边沿 (由 CONT-4: TE 设定) 或指令周期时钟触发加 1 操作。
- 可读写

- 通过设置 PAB(CONT-3) 来定义。
- 如果 PAB 位 (CONT-3) 被清零, 可将预除器分配给 TCC。
- 只有当写入 TCC 寄存器时, 预分频计数器的内容被清零。

3. R2 (程序计数器) 和堆栈

- 根据控制器的类型, R2 和硬件堆栈为 10 位宽。参见图 3 所示的程序计数器结构图。
- 产生 1024×13 位片内 OTP ROM 地址以获取对应的程序指令编码。一个程序页是 1024 字长。
- 在复位状态下 R2 所有位被清零。
- “JMP”指令直接装载 R2 低 10 位值。因此 “JMP”可以让 PC 在一个程序页中任意跳转。
- “CALL”指令装载 PC 的低 10 位值, 并将 PC+1 的值入栈。因此子程序的入口地址可以在一个程序页任意地方。
- “RET” (“RETL k”, “RETI”) 指令将栈顶的数据装载到 PC 中。
- “ADD R2, A” 允许把 A 的内容加到当前 PC 上, 同时 PC 的第 9 位和第 10 位被清零。
- “MOV R2, A” 允许将 A 寄存器的内容装载到 PC 的低 8 位, 同时 PC 的第 9 位和第 10 位被清零。
- 任何对 R2 进行直接修改的指令 (如: “ADD R2, A”, “MOV R2, A”, “BC R2, 6”, ……) 都将会引起 PC 的第 9、10 位清零, 因此产生的跳转只限于一程序页前 256 个地址。
- 除了改变 R2 的指令需要 2 个指令周期外, 其余的指令只需要一个指令周期。

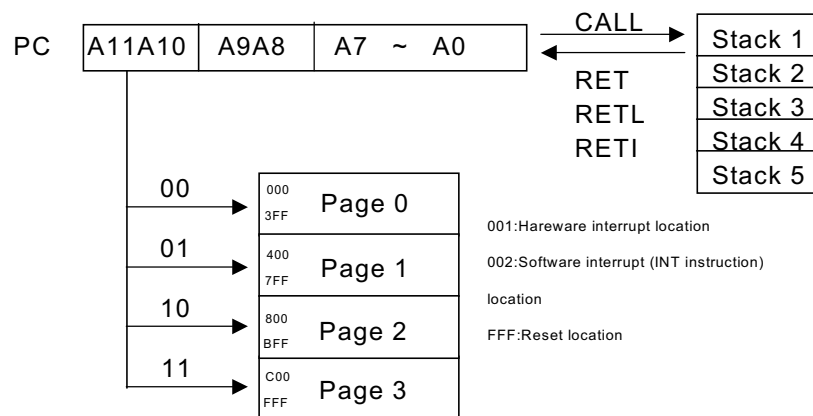


图3 程序计数器结构图

4. R3 (Status Register)

7	6	5	4	3	2	1	0
GP	PS1	PS0	T	P	Z	DC	C

- 第 0 位 (C) 进位标志。
- 第 1 位 (DC) 辅助进位标志。



- **第 2 位 (Z)** 零标志位。
当算术运算或逻辑运算的结果为 0 时，该位置 1。
- **第 3 位 (P)** 低功耗位。
执行 “WDTC” 指令或上电后该位置 1，执行 “SLEP” 指令后该位清零。
- **第 4 位 (T)** 时间溢出位。
执行 “SLEP” 和 “WDTC” 指令或上电后该位置 1，当 WDT 溢出时清零。
- **第 5 ~ 6 位 (PS0-PS1)** 页面选择位。PS0, PS1 用于选择程序存储器页面。当执行 “JMP”，“CALL” 或其它改变 R2 的指令时，PS0、PS1 被装入 PC 的第 11, 12 位，以选择一个程序页面。注意：RET, RETI、RETL 指令不改变 PS0、PS1。也就是说，直接返回到子程式被调用的页面，不管当前 PS0、PS1 值。

PS1	PS0	Program memory page [Address]
0	0	Page 0 [000-3FF]
0	1	Page 1 [400-7FF]
1	0	Page 2 [800-BFF]
1	1	Page 3 [C00-FFF]

- **第 7 位 (GP)** 通用读写位。
- R4 (RAM 选择寄存器)
 - **第 0 ~ 5 位** 在间接寻址方式中用于选择寄存器(地址: 00~06, 0F~3F)。
 - **第 6 ~ 7 位** 用于选择寄存器组 BANK0-3。
 - 如果不作为间址寻址使用，RSR 也可被用作通用读写寄存器
 - 参见图 4 数据存储结构图。
 - R5 ~ R7 (Port 5 ~ Port 7)
 - R5、R6、R7 是输入/输出寄存器。
 - R8-R1F and R20-3E (通用状态寄存器)
 - R8-R1F, and R20-R3E (包括 Bank0-3) 是通用寄存器
 - R3F (中断状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	EXIF	-	-	TCIF

- **第 0 位 (TCIF)** TCC 溢出中断标志。当 TCC 溢出时置 1，软件清零。
- **第 3 位 (EXIF)** 外部中断标志。由 /INT 引脚的下降沿置 1，软件清零。
- **第 1、2、4 ~ 7 位** 未用。
“1” 表示有中断申请，“0” 表示没有中断发生。

- R3F 可通过指令清零，但不能置 1。
- IOCF 是中断屏蔽寄存器。
- 注意：读 出的 R3F 的值是 R3F 和 IOCF 逻辑与的结果。

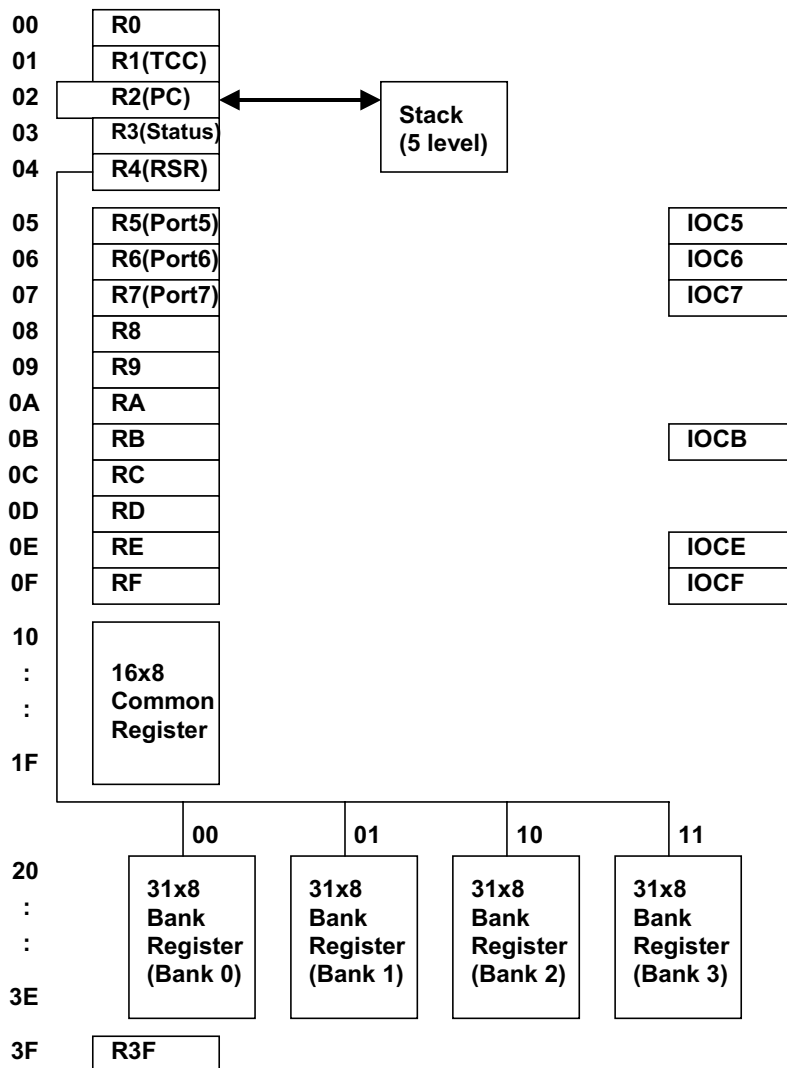


图 4 数据存储器分配图

4.2 特殊功能寄存器

1. A (累加器)

- 用于内部数据传输，指令操作数保持。
- 不可寻址。

2. CONT (控制寄存器)



7	6	5	4	3	2	1	0
/PHEN	/INT	TS	TE	PAB	PSR2	PSR1	PSR0

- 第 0 位 ~ 第 2 位 (PSR0 ~ PSR2) 是 TCC/WDT 预分频位。

PSR2	PSR1	PSR0	TCC Rate	WDT Rate
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

- 第 3 位 (PAB) 预除器分配位。
 - 0: TCC
 - 1: WDT
- 第 4 位 (TE) TCC 信号沿选择位。
 - 0: 当 TCC 引脚发生由低到高的变化时 R1 加 1。
 - 1: 当 TCC 引脚发生由高到低的变化时 R1 加 1。
- 第 5 位 (TS) TCC 信号源选择位。
 - 0: 内部指令周期时钟。
 - 1: TCC 引脚状态变化。
- 第 6 位 (/INT) 中断允许标志。
 - 0: 由 DISI 指令或硬件中断屏蔽。
 - 1: 由 ENI/RETI 指令允许中断。
- 第 7 位 (/PHEN) 未 P60-67, P74 and P75 引脚的上拉使能控制位。
 - 0: 使能内部上拉。
 - 1: 不使能内部上拉。
- CONT 寄存器可读写。

3. IOC5 ~ IOC7 (I/O 口控制寄存器)

- "1" 定义相关 I/O 引脚为高阻输入状态, "0" 定义相关 I/O 引脚为输出。
- IOC5 和 IOC7 寄存器都是可读可写的。

4. IOCB (P6 口唤醒控制寄存器)

7	6	5	4	3	2	1	0
/WUE7	/WUE6	/WUE5	/WUE4	/WUE3	/WUE2	/WUE1	/WUE0

- 第 0 位 (/WUE0) 使能 P60 引脚唤醒功能的控制位。



0: 使能内部唤醒。

1: 禁止内部唤醒。

- **第 1 位 (/WUE0)** 使能 P61 引脚唤醒功能的控制位。
- **第 2 位 (/WUE0)** 使能 P62 引脚唤醒功能的控制位。
- **第 3 位 (/WUE0)** 使能 P63 引脚唤醒功能的控制位。
- **第 4 位 (/WUE0)** 使能 P64 引脚唤醒功能的控制位。
- **第 5 位 (/WUE0)** 使能 P65 引脚唤醒功能的控制位。
- **第 6 位 (/WUE0)** 使能 P66 引脚唤醒功能的控制位。
- **第 7 位 (/WUE0)** 使能 P67 引脚唤醒功能的控制位。
- IOCB 寄存器是可读写的。

5. IOCE (WDT 控制寄存器)

7	6	5	4	3	2	1	0
-	ODE	WDTE	SLPC	ROC	-	-	/WUE

- **第 0 位 (/WUE)** 使能 P74、P75 引脚唤醒功能的控制位。

0: 使能唤醒功能。

1: 禁止唤醒功能。

/WUE 可读可写。

- **第 3 位 (ROC)** ROC 用于 R-option 功能。

置 ROC 为 1, 使能 R-option 功能, 其引脚 P50~P51 的状态可由控制器读出。ROC 清零禁止 R-option 功能。如果 R-option 功能被使用, 用户必须使 P71 引脚和/或 P70 引脚通过一个 430KΩ 外接电阻 r (Rex) 与 VSS 相连。若 Rex 接入/未接到 VDD, 读到 P70 (P71) 的状态是 0/1。参见图 (7B) 所示。ROC 位可读写

- **第 4 位 (SLPC)** 该位由唤醒信号低电平引起硬件触发置 1, 由软件清 0, SLEP 用于控制振荡器的工作。在 SLPC 位从 1 变成 0 时, 振荡器被禁止 (振荡器停止, 单片机进入休眠模式 2), 在 SLPC 位从 0 变成 1, 振荡器使能 (单片机由休眠模式唤醒)。为了确保振荡器输出信号稳定, 一旦振荡器再次起振, 在执行下条指令前会有 18ms¹ (一个振荡器起振时间) 的延时, 唤醒后, 如果 CODE OPTION 中 ENWDT 为 1, 则 WDT 将被使能, 休眠模式 2 的输入唤醒放框图如图 5。

SLPC 位可读写。

注: Vdd = 5V, 启动时间 = 16.2ms ± 30%

Vdd = 3V, 启动时间 = 19.6ms ± 30%



- 第 5 位 (WDTE) 看门狗使能控制位

只在 CODE OPTION 的 ENWDT 为 0 时该位才有效, 此时 WDT 是否工作由 WDTE 决定。

0: 禁止 WDT

1: 使能 WDT

CODE OPTION 的 ENWDT 为 1 时 WDTE 无用, 也就是, 如果 ENWDT 为 1, 无论 WDTE 为 0 或 1, WDT 禁止 WDTE 位可读写

6. IOCF (中断屏蔽寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	EXIE	-	-	TCIE

- **第 0 位 (TCIE)** TCIF 中断使能位。
 - 0: 禁止 TCIF 中断。
 - 1: 使能 TCIF 中断。
- **第 3 位 (EXIE)** EXIF 中断使能位。
 - 0: 禁止 EXIF 中断。
 - 1: 使能 EXIF 中断。
- **第 1、2、4~7 位** 未用。
- 通过 IOCF 中的相关控制位置 1, 使能各个相关中断。
- 总中断是由 ENI 指令使能, 由 DISI 指令禁止。参见图 9 所示。
- IOCF 寄存器是可读写的。

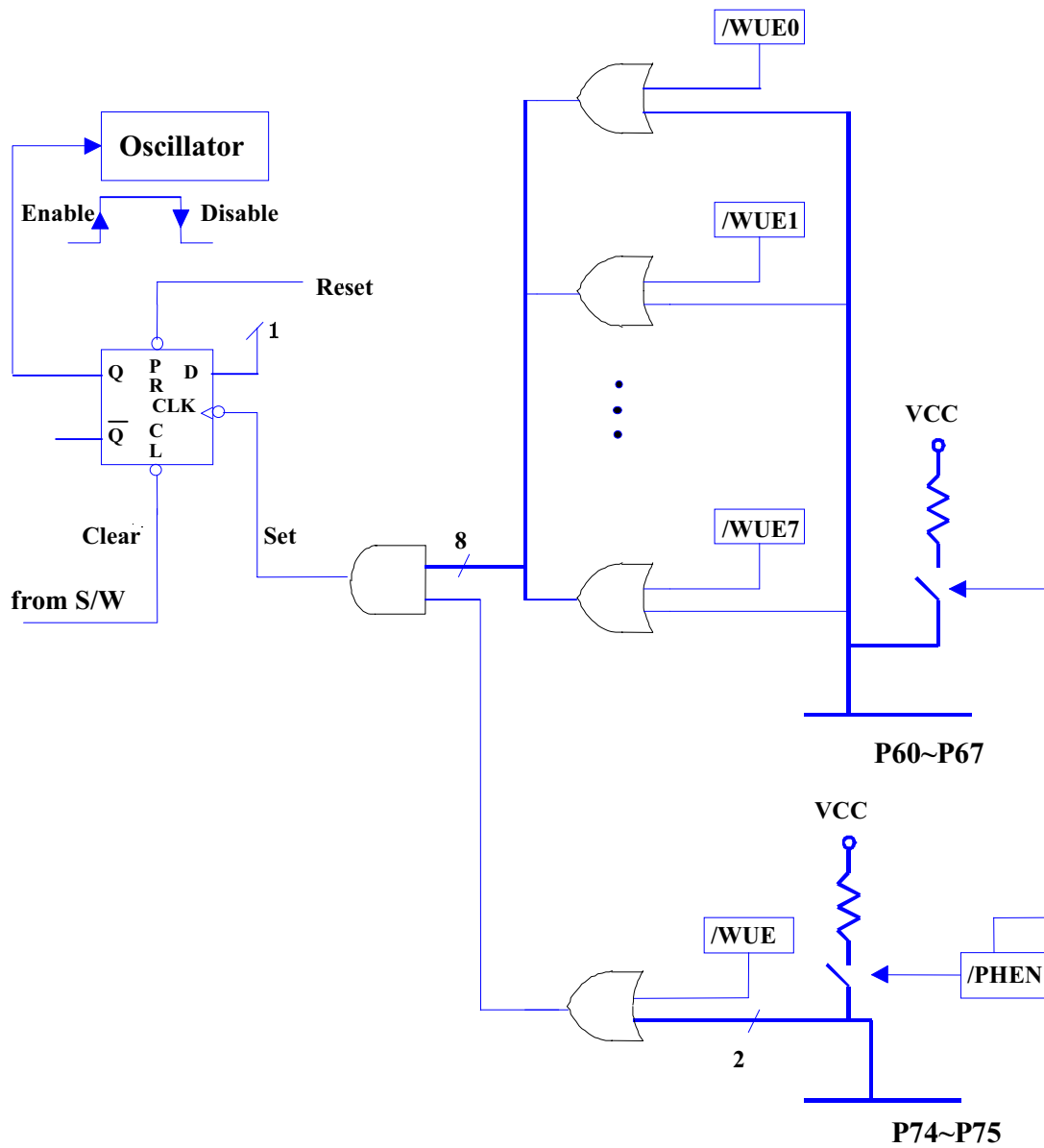


图 5 I/O 口休眠模式与唤醒电路框图

4.3 TCC/WDT 和预除器

TCC 或WDT 有一个8位计数器做预除器。在同一时间它只能分配给其中一方，这由CONT 寄存器的PAB 位决定。PSR0~PSR2位确定分频系数。若分配给TCC ，在TCC模式下则每次写TCC 操作均将预除器清0。若分配给WDT，则WDT 和预除器均在执行WDTC 或SLEP指令时清0。图6 详细描述了TCC/WDT 电路特性。

R 1(TCC)为8 位定时器/计数器。TCC 时钟源可为内部时钟或外部时钟（由TCC 引脚输入，触发沿可选择）。如果是内部时钟，每个指令周期TCC 加1（无预除器）。由图6 可知，指令周期是2 个还是4个时钟周期由代码选择寄存器CLKS 位决定。CLKS=0 则 $CLK=Fosc/2$ ，CLKS=1 则 $CLK=Fosc/4$ 。如果是外部时钟，则TCC 由外部信号边沿触发。

WDT 是一个自由运行的片内RC 振荡器。当控制器振荡关闭后，WDT 依然运行，即使在睡眠模式下亦如此。WDT溢出将引起复位（若WDT 使能）。在正常工作时，WDT 可由软件设置IOCE的WDT E 位来使能或禁止。在没有预分频情况下，WDT溢出时间约为 $18ms^1$ 。

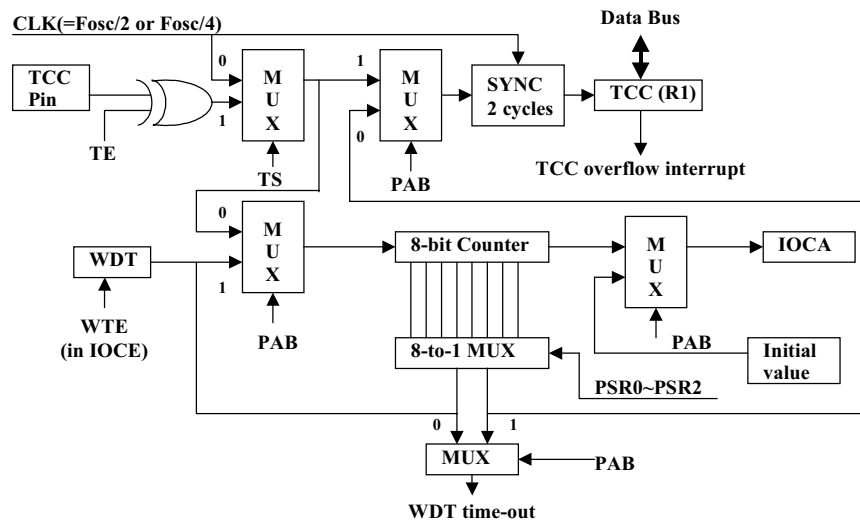


图 6 TCC 和 WDT 模块图

4.4 I/O 端口

注：Vdd = 5V，启动时间 = $16.2ms \pm 30\%$

Vdd = 3V，启动时间 = $19.6ms \pm 30\%$

I/O端口P5、P6、P7均为双向三态I/O口。可以由CONT、IOCE分别设置为上拉电阻、R-option、漏级开路功能。P6口、P74和P75具有输入变化唤醒功能。每个I/O引脚能被I/O控制寄存器（IOC5-IOC7）置为输入或输出。I/O寄存器和I/O控制寄存器都是可读可写的。P5、P6和P7的I/O接口电路I见图7(a)，7(b)。

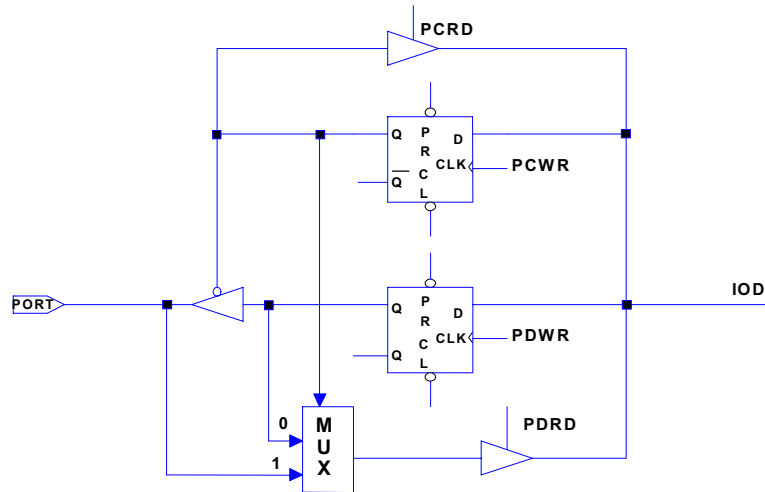


图 7 (a) I/O 端口和 I/O 控制寄存器电路

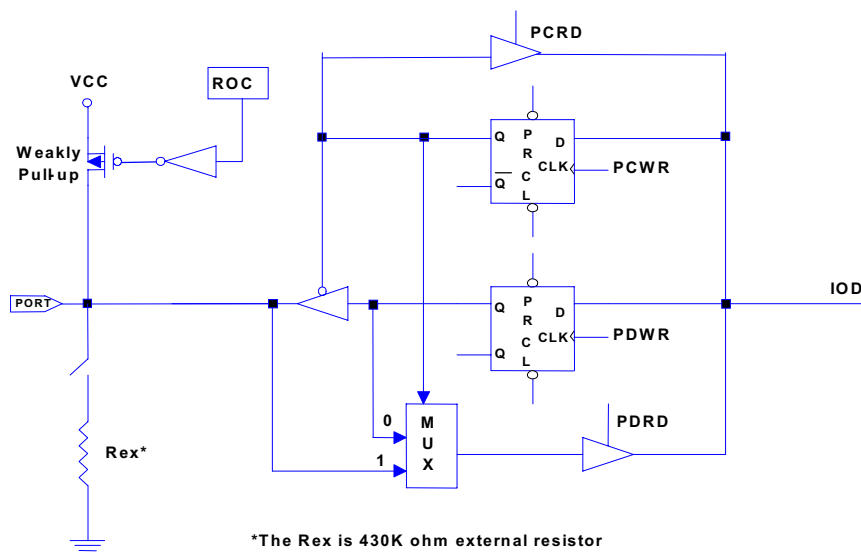


图 7 (b) 具有 R-option (P70, P71) 功能的 I/O 口电路



4.5 复位和唤醒

1. 复位

复位由下列情况之一引起：

- (1) 上电复位。
- (2) /RESET 引脚输入低电平。
- (3) WDT 溢出（若使能）。

在复位动作被检测到之后，单片机保持复位状态 18ms^1 （振荡器起振时间）。一旦复位发生，单片机将会执行下列功能。参见图8。

- 振荡器振荡或起振。
- PC 都置为1。
- 上电时，R3的Bit5-6，R4的Bit7-6清0。
- 所有 I/O 引脚定义为输入模式（高阻状态）。
- WDT 和预除器清 0。
- 上电时，R3 的 Bit5-6 清 0。
- 上电时，R4 的 Bit7-6 清 0。
- CONT 寄存器除第 6 位（INT 标志）外，全置为 1。
- IOCB 寄存器全置为 1（P60-67 唤醒功能禁止）。
- IOCE 寄存器第 0、4、5 位置 1，第 3、6 位清 0。
- R3F、IOCF 寄存器第 0、3 位清 0。

执行 SLEP 指令可进入睡眠模式（低功耗模式）。进入睡眠模式时，WDT（若使能）清 0 但继续运行。单片机可被如下情况唤醒：

- (1) /RESET 引脚上输入的外部复位信号。
- (2) WDT 溢出（若使能）。

以上两种情况会引起 EM78P447S 复位，R3 的 T、P 标志位用于判断复位产生原因。

除了基本的休眠模式 1，EM78P447S 还有休眠模式 2，它由 IOCE 寄存器的 SLPC 清 0 产生。在休眠模式 2 下，单片机可由下列条件唤醒：

注：Vdd = 5V，启动时间 = $16.2\text{ms} \pm 30\%$

Vdd = 3V，启动时间 = $19.6\text{ms} \pm 30\%$



- (A) 任何一个唤醒引脚为低电平，如图 5 所示。唤醒后控制器将继续向下执行指令。在这种条件下，当进入 SLEEP2 模式之前，触发源(P60~P67 和 P74~P75)的唤醒功能应当选择（如，设为输入脚）和使能（如，设置上拉和唤醒控制）。应当注意到如果在 CODE OPTION 的 ENWDT 位为“0”，则在唤醒后，WDT 将被使能。所以，WDT 的操作（使能或禁止）应当在软件中进行适当的处理。
- (B) WDT 定时器溢出（若使能）或在/RESET 引脚有外部复位输入，都会引起控制器复位。

表 4 寄存器初始化值

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
N/A	IOC5	Bit Name	C57		C56		C55		C54		C53	C52	C51	C50
		Type	A	B	A	B	A	B	A	B	-	-	-	-
		Power-On	0	1	0	1	0	1	0	1	1	1	1	1
		/RESET and WDT	0	1	0	1	0	1	0	1	1	1	1	1
		Wake-Up from Pin Change	0	P	0	P	0	P	0	P	P	P	P	P
N/A	IOC6	Bit Name	C67		C66		C65		C64		C63	C62	C61	C60
		Power-On	1	1	1	1	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P	P	P
N/A	IOC7	Bit Name	C77		C76		C75		C74		C73	C72	C71	C70
		Power-On	1	1	1	1	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P	P	P
N/A	CONT	Bit Name	/PHEN		/INT		TS	TE	PAB	PSR2	PSR1	PSR0		
		Power-On	1	0	1	1	1	1	1	1	1	1	1	
		/RESET and WDT	1	P	1	1	1	1	1	1	1	1	1	
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P	P	
0x00	R0 (IAR)	Bit Name	-	-	-	-	-	-	-	-	-	-	-	
		Power-On	U	U	U	U	U	U	U	U	U	U	U	
		/RESET and WDT	P	P	P	P	P	P	P	P	P	P	P	
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P	P	
0x01	R1 (TCC)	Bit Name	-	-	-	-	-	-	-	-	-	-	-	
		Power-On	0	0	0	0	0	0	0	0	0	0	0	
		/RESET and WDT	0	0	0	0	0	0	0	0	0	0	0	
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P	P	P	P	
0x02	R2 (PC)	Bit Name	-	-	-	-	-	-	-	-	-	-	-	
		Power-On	1	1	1	1	1	1	1	1	1	1	1	
		/RESET and WDT	1	1	1	1	1	1	1	1	1	1	1	
		Wake-Up from Pin Change	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	
0x03	R3 (SR)	Bit Name	GP	PS1	PS0	T	P	Z	DC	C				
		Power-On	0	0	0	1	1	U	U	U				
		/RESET and WDT	0	0	0	t	t	P	P	P				
		Wake-Up from Pin Change	P	P	P	t	t	P	P	P				
0x04	R4 (RSR)	Bit Name	RSR.1	RSR.0	-	-	-	-	-	-	-	-		
		Power-On	0	0	U	U	U	U	U	U	U	U		



		/RESET and WDT	0	0	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x05	R5 (P5)	Bit Name	P57	P56	P55	P54	P53	P52	P51	P50
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x06	R6 (P6)	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x07	R7 (P7)	Bit Name	P77	P76	P75	P74	P73	P72	P71	P70
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x3F	R3F (ISR)	Bit Name	-	-	-	-	EXIF	-	-	TCIF
		Power-On	U	U	U	U	0	U	U	0
		/RESET and WDT	U	U	U	U	0	U	U	0
		Wake-Up from Pin Change	U	U	U	U	P	U	U	P
0x0B	IOCB	Bit Name	/WUE7	/WUE6	/WUE5	/WUE4	/WUE3	/WUE2	/WUE1	/WUE0
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0E	IOCE	Bit Name	-	ODE	WDTE	SLPC	ROC	-	-	/WUE
		Power-On	U	0	1	1	0	U	U	1
		/RESET and WDT	U	0	1	1	0	U	U	1
		Wake-Up from Pin Change	U	P	1	1	P	U	U	P
0x0F	IOCF	Bit Name	-	-	-	-	EXIE	-	-	TCIE
		Power-On	U	U	U	U	0	U	U	0
		/RESET and WDT	U	U	U	U	0	U	U	0
		Wake-Up from Pin Change	U	U	U	U	P	U	U	P
0x08	R8	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x09~0x3E	R9~R3E	Bit Name	-	-	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P

** IOCE 寄存器的 SLPC 位元 1 变成 0 转换后执行一下条指令。

X: 未使用。 U: 未知或无关。 P: 复位前的初值。 t: 对照表 5。

2. 状态寄存器的 RST, T, 和 P

复位可由下列条件之一引起:

1. 上电条件。
2. 复位引脚有一个高-低-高的脉冲。

3. WDT 定时器溢出。

以下表5列出RST, T, 和 P的值, 常用来检查控制器是怎样唤醒的。

表 6表示可能影响到 RST, T, 和 P状态的各种情况。

表 5 复位后的 RST, T, 和 P 值

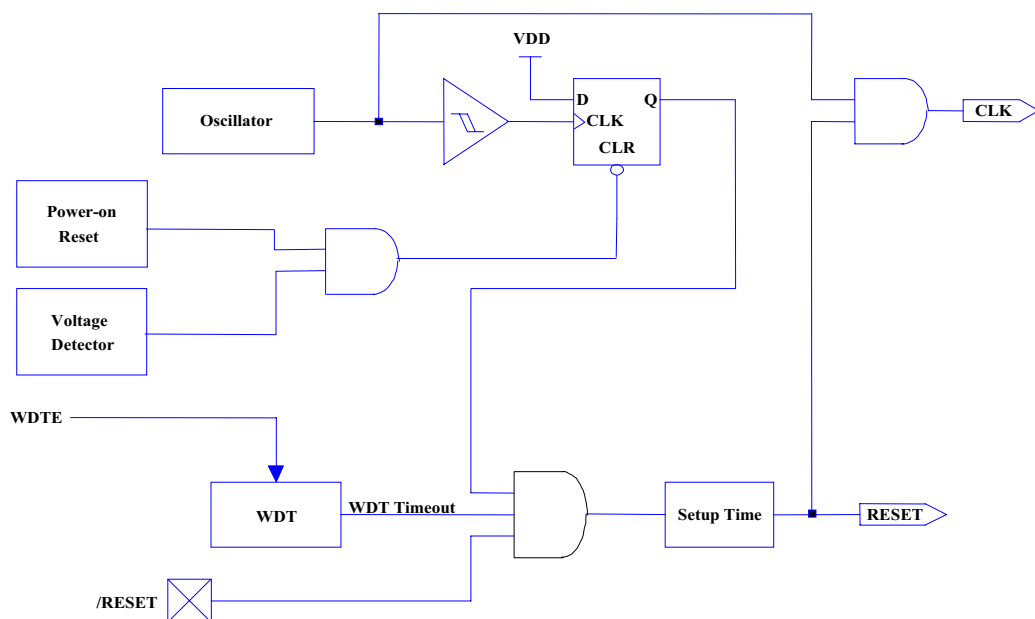
Reset Type	T	P
上电	1	1
运行模式下/RESET引脚复位	*P	*P
睡眠1模式下/RESET引脚复位	1	0
睡眠2模式下/RESET引脚复位	*P	*P
运行模式下WDT溢出复位	0	*P
睡眠1模式下WDT溢出唤醒	0	0
睡眠2模式下WDT溢出唤醒	0	*P
睡眠2模式下引脚状态改变唤醒	*P	*P

* P: 复位前状态

表 6 事件对 RST, T, 和 P 状态的影响

Event	T	P
上电	1	1
WDTC 指令	1	1
WDT 溢出	0	*P
SLEP 指令	1	0
睡眠2模式下引脚状态改变唤醒	*P	*P

* P: 复位前状态



振荡模式 (LXT)、外部RC振荡器模式 (ERC)。用户可通过编程CODE Option寄存器的 MS, HLF and HLP来选择某一种振荡方式。表7描述如何定义这三种模式。

在不同的电源电压VDD下，晶体或陶瓷振荡的最大操作频率列于表8中。

表 7 由 MS 和 HLP 定义的振荡模式

Mode	MS	HLF	HLP
ERC(外部RC振荡器模式)	0	*X	*X
HXT(高频晶体振荡模式)	1	1	*X
LXT(低频晶体振荡模式)	1	0	0

- <注>
1. X, 无关。
 2. 在 HXT 和 LXT 之间的系统频率转折点大约为 400 KHz。

表 8 最大操作频率表

条件	VDD	Fxt max. (MHz)
一个指令周期两个时钟	2.3	4.0
	3.0	8.0
	5.0	20.0

2. 晶体振荡/陶瓷谐振 (XTAL)

EM78447SA/B可通过OSCI管脚用外部时钟信号驱动，如图10示。

在大多数的应用场所，通过在OSCI和OSCO管脚连接晶体或陶瓷振荡器来产生振荡。如图12电路所示。无论在HXT或LXT振荡模式，都可以应用这种电路。表9列出建议的电容C1和C2的值。由于每一种谐振器都有自己的特性，用户应根据它们的特性选择合适的C1和C2的值。RS，串联电阻，在AT切片的晶体或低频模式是必要的。

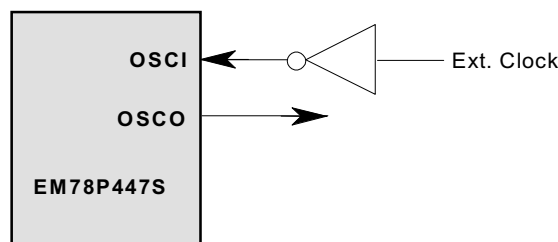


图 10 外部时钟输入电路

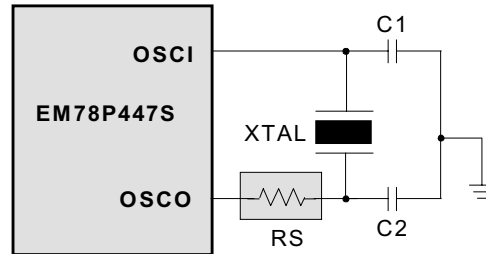


图 11 晶体或陶瓷振荡电路

表 9 陶瓷谐振器及晶体谐振器电容选择参考

Oscillator Type	Frequency Mode	Frequency	C1 (pF)	C2 (pF)
陶瓷谐振器	HXT	455 kHz	100~150	100~150
		2.0 MHz	20~40	20~40
		4.0 MHz	10~30	10~30
晶体振荡器	LXT	32.768kHz	25	15
		100KHz	25	25
		200KHz	25	25
	HXT	455KHz	20~40	20~150
		1.0MHz	15~30	15~30
		2.0MHz	15	15
		4.0MHz	15	15

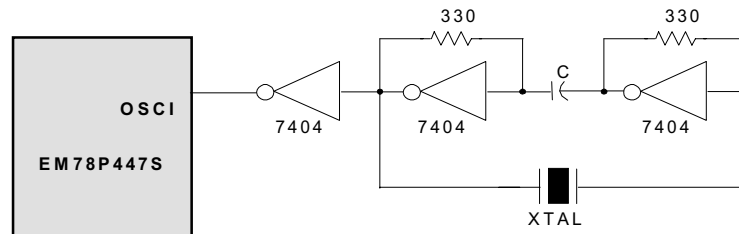


图 12 晶体或陶瓷振荡的串联模式

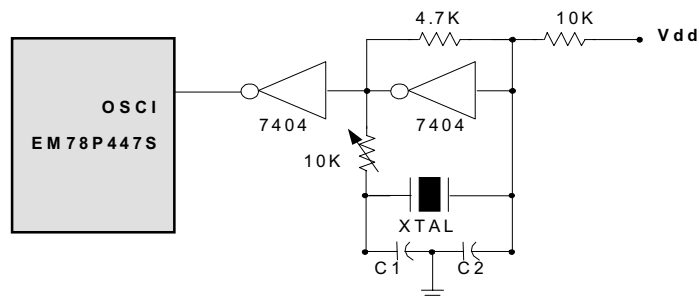


图 13 晶体或陶瓷振荡的并联模式

3. 外部 RC 振荡模式

在一些对时序要求不太严格的地方，RC振荡可节省许多成本。然而，应当注意到RC振荡器的振荡频率会受到电源电压、电阻（R_{ext}）值的大小、电容（C_{ext}）甚至环境温度的影响。而且，由于制造工艺的不同，不同芯片的频率也会有微小的差异。

为了维持一个比较稳定的系统频率，建议电容值不要小于20pF电阻值不要大于1M ohm. 如果不能保证在该范围内，频率就会很容易受到噪音、湿度、漏电流的影响。

在RC振荡模式中，R_{ext}越小，振荡频率越高。但是，R_{ext}的值越低，例如，1KΩ，由于NMOS不能准确的通过电容放电，所以振荡器将变的不稳定。

基于以上原因，必须牢记操作电压、构成RC振荡器的元件、封装形式、PCB的布线都将影响系统的振荡频率。

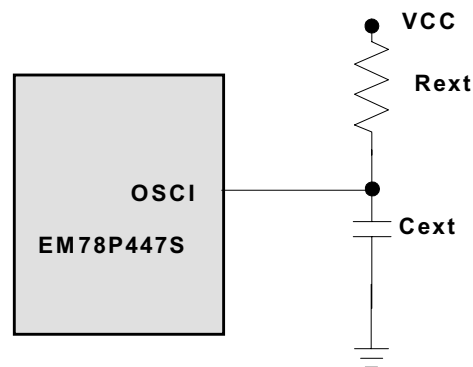


图 14 外部 RC 振荡器模式

表 10 RC 振荡器频率

C _{ext}	R _{ext}	Average Fosc 5V, 25°C	Average Fosc 3V, 25°C
20 pF	3.3k	4.32 MHz	3.56 MHz
	5.1k	2.83 MHz	2.8 MHz
	10k	1.62MHz	1.57 MHz
	100k	184 KHz	187 KHz
100 pF	3.3k	1.39 MHz	1.35 MHz
	5.1k	950 KHz	930 KHz
	10k	500 KHz	490 KHz
	100k	54KHz	55 KHz
300 pF	3.3k	580 KHz	550 KHz
	5.1k	390 KHz	380 KHz
	10k	200 KHz	200 KHz
	100k	21 KHz	21 KHz

<注> 1. 以 DIP 封装测量



2. 仅供参考

4.8 代码选项寄存器 (CODE Option Register)

EM78P447SA/B 有一个代码选项字, 它们不是程序存储器的一部分。程式执行期间不能对选项位寻址。

Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
MS	/ENWDT	CLK	CS	HLP	HLP	TYPE	-	-	-	-	-	-

- **Bit 12 (MS)**: 振荡器类型选择。
 - 0: RC 型
 - 1: XTAL 型 (XTAL1 和 XTAL2)
- **Bit 11 (/ENWDT)**: WDT 定时器使能位。
 - 0: 使能
 - 1: 禁上
- **Bit 10 (CLK)**: 指令时间选择位。
 - 0: 两个振荡器时间
 - 1: 四个振荡器时间参考指令集部份介绍。
- **Bit 9 (CS)**: 代码保密位
 - 0: 保密
 - 1: 不保密
- **Bit 8 (HLP)**: XTAL 晶体频率选择位
 - 0: XTAL2 型 (低频, 32.768KHz)
 - 1: XTAL1 型 (高频)

这一位仅当 Bit12(MS) 位为 “1” 时可选, 当 Bit12(MS) 位为 “0”, 则 HLP 位必须置为 “0”。

<注>: 判断 HXT 和 LXT 的频率点约为 400 KHz.

- **Bit 7 (HLP)**: 功率选择位。
 - 0: 低功耗
 - 1: 高功耗
- **Bit 6 (TYPE)**: EM78P447SA 或 B 类型选择位
 - 0: EM78P447SB
 - 1: EM78P447SA
- **Bit 5 和 Bit4**: 保留位
 - bit5 总是 “1”
 - bit4 总是 “0”
- **Bit 3~0**: 客户 ID 码

4.9 上电问题

任何微控制器在电源达到稳定之前，都不能保证正确的执行程序。EM78P447S内部有一个2.0V的上电电压探测器（POVD）。如果电源VDD上升的足够快（10ms或更少），外部复位电路会具有更好的性能。然而，在许多应用要求严格的情况下，在解决上电复位问题时，仍然需要其它器件辅助。

4.10 外部上电复位电路

图15中的电路用外部RC产生一个复位脉冲。脉冲的宽度（时间常数）应保持足够长的时间以使电源达到最小的操作电压。该电路应用在电源电压上升比较慢的情况下。因为/RESET脚的漏电流大约在 $\pm 5 \mu A$ ，所以建议R应小于40K。按照这种方法，在/RESET脚上的电压将在0.2V之下。二极管(D)在掉电时作为短路电路。电容C将快速彻底的放电。 R_{in} ，限流电阻，防止大电流放电或ESD（静电放电）对/RESET脚的冲击。

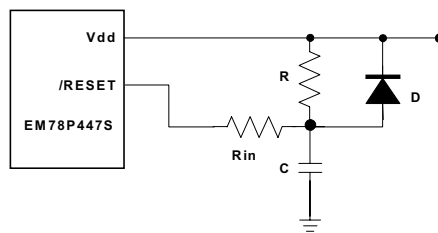


图 15 外部上电复位电路

4.11 残余电压保护

当更换电池时，芯片的电源（Vdd）已被拿走但残留电压仍然存在。残留电压可能低于VDD的最小工作电压，但又不为零，在这种情况下有可能引起不良的上电复位。图16和图17出示如何建立一个残留电压保护电路。

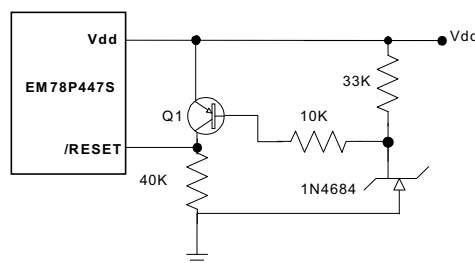


图 16 残留电压保护电路 1

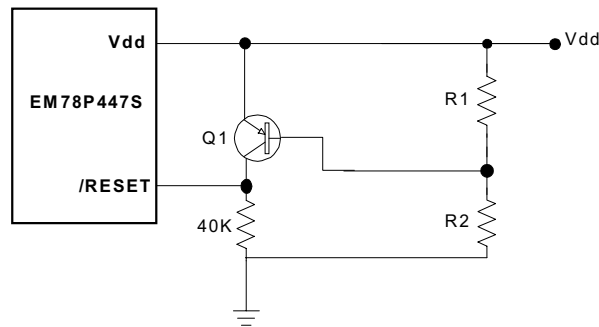


图 17 残留电压保护电路 2

4.12 指令集

指令集的每条指令为13-bit 的字宽，由操作代码和一个或一个之上的操作数组成。在一般情况下，如果PC的值在没有被改变的情况下，所有的指令花费一个指令周期（一个指令周期由两个振荡周期组成），除非PC的值的被“MOV R2, A”，“ADD R2, A”指令改变，或对R2 进行算术、逻辑运算时（如“SUB R2, A”，“BS (C) R2, 6”，“CLR R2”，……），在这种情况下，指令执行将花费两个指令周期。

如果由于其它的原因，对某一个应用场所指令周期的的特性不适合的话，试着按照以下方法修改：

(A) 指令周期改为由 4 个振荡周期组成。

(B) 执行花费两个指令周期的“JMP”，“CALL”，“RET”，“RETL”，“RETI” 命令，或结果为真的条件转移命令（“JBS”，“JBC”，“JZ”，“JZA”，“DJZ”，“DJZA”）。有关写 PC 的指令，都将花费两个指令周期。

(A) 种的情况由CODE Option的CLK位控制。如果CLK设为‘0’，指令周期将由两个振荡周期构成，如果CLKS设为‘1’，指令周期将由四个振荡周期构成。

请注意如果在(A) 种情况中选择指令周期将由四个振荡周期构成，那么内部TCC的时钟源将是 $CLK = Fosc/4$ （不是 $Fosc/2$ ），如图6所示。

另外，指令集有以下特性：

(1) 任何寄存器的每一个 bit 位可以置‘1’、清零或直接测试。

(2) I/O 寄存器可当作通用寄存器来对待。即，相同的指令可用于 I/O 寄存器。

符号“R”表示寄存器（包括操作寄存器和通用寄存器）中的某一个指定的寄存器，符号“b”表示当前寄存器R的一指定bit位。符号“k”表示一个 8 或10-bit的常数或立即数。

INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0000 0000 0000	0000	NOP	No Operation	None
0 0000 0000 0001	0001	DAA	Decimal Adjust A	C
0 0000 0000 0010	0002	CONTW	A → CONT	None
0 0000 0000 0011	0003	SLEP	0 → WDT, Stop oscillator	T,P



INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0000 0000 0100	0004	WDTC	0 → WDT	T, P
0 0000 0000 rrrr	000r	IOW R	A → IOCR	None <Note1>
0 0000 0001 0000	0010	ENI	Enable Interrupt	None
0 0000 0001 0001	0011	DISI	Disable Interrupt	None
0 0000 0001 0010	0012	RET	[Top of Stack] → PC	None
0 0000 0001 0011	0013	RETI	[Top of Stack] → PC, Enable Interrupt	None
0 0000 0001 0100	0014	CONTR	CONT → A	None
0 0000 0001 rrrr	001r	IOR R	IOCR → A	None <Note1>
0 0000 0010 0000	0020	TBL	R2+A → R2, Bits 8~9 of R2 unchanged	Z, C, DC
0 0000 01rr rrrr	00rr	MOV R, A	A → R	None
0 0000 1000 0000	0080	CLRA	0 → A	Z
0 0000 11rr rrrr	00rr	CLR R	0 → R	Z
0 0001 00rr rrrr	01rr	SUB A, R	R-A → A	Z, C, DC
0 0001 01rr rrrr	01rr	SUB R, A	R-A → R	Z, C, DC
0 0001 10rr rrrr	01rr	DECA R	R-1 → A	Z
0 0001 11rr rrrr	01rr	DEC R	R-1 → R	Z
0 0010 00rr rrrr	02rr	OR A, R	A ∨ R → A	Z
0 0010 01rr rrrr	02rr	OR R, A	A ∨ R → R	Z
0 0010 10rr rrrr	02rr	AND A, R	A & R → A	Z
0 0010 11rr rrrr	02rr	AND R, A	A & R → R	Z
0 0011 00rr rrrr	03rr	XOR A, R	A ⊕ R → A	Z
0 0011 01rr rrrr	03rr	XOR R, A	A ⊕ R → R	Z
0 0011 10rr rrrr	03rr	ADD A, R	A + R → A	Z, C, DC
0 0011 11rr rrrr	03rr	ADD R, A	A + R → R	Z, C, DC
0 0100 00rr rrrr	04rr	MOV A, R	R → A	Z
0 0100 01rr rrrr	04rr	MOV R, R	R → R	Z
0 0100 10rr rrrr	04rr	COMA R	/R → A	Z
0 0100 11rr rrrr	04rr	COM R	/R → R	Z
0 0101 00rr rrrr	05rr	INCA R	R+1 → A	Z
0 0101 01rr rrrr	05rr	INC R	R+1 → R	Z
0 0101 10rr rrrr	05rr	DJZA R	R-1 → A, skip if zero	None
0 0101 11rr rrrr	05rr	DJZ R	R-1 → R, skip if zero	None
0 0110 00rr rrrr	06rr	RRCA R	R(n) → A(n-1), R(0) → C, C → A(7)	C
0 0110 01rr rrrr	06rr	RRC R	R(n) → R(n-1), R(0) → C, C → R(7)	C
0 0110 10rr rrrr	06rr	RLCA R	R(n) → A(n+1), R(7) → C, C → A(0)	C
0 0110 11rr rrrr	06rr	RLC R	R(n) → R(n+1), R(7) → C, C → R(0)	C
0 0111 00rr rrrr	07rr	SWAPA R	R(0-3) → A(4-7), R(4-7) → A(0-3)	None
0 0111 01rr rrrr	07rr	SWAP R	R(0-3) ↔ R(4-7)	None
0 0111 10rr rrrr	07rr	JZA R	R+1 → A, skip if zero	None
0 0111 11rr rrrr	07rr	JZ R	R+1 → R, skip if zero	None
0 100b brrr rrrr	0xxx	BC R, b	0 → R(b)	None <Note2>
0 101b brrr rrrr	0xxx	BS R, b	1 → R(b)	None <Note3>



INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 110b brrr rrrr	0xxx	JBC R, b	if R(b)=0, skip	None
0 111b brrr rrrr	0xxx	JBS R, b	if R(b)=1, skip	None
1 00kk kkkk kkkk	1kkk	CALL k	PC+1 → [SP], (Page, k) → PC	None
1 01kk kkkk kkkk	1kkk	JMP k	(Page, k) → PC	None
1 1000 kkkk kkkk	18kk	MOV A, k	k → A	None
1 1001 kkkk kkkk	19kk	OR A, k	A ∨ k → A	Z
1 1010 kkkk kkkk	1Akk	AND A, k	A & k → A	Z
1 1011 kkkk kkkk	1Bkk	XOR A, k	A ⊕ k → A	Z
1 1100 kkkk kkkk	1Ckk	RETL k	k → A, [Top of Stack] → PC	None
1 1101 kkkk kkkk	1Dkk	SUB A, k	k-A → A	Z, C, DC
1 1110 0000 0010	1E02	INT	PC+1 → [SP], 002H → PC	None
1 1111 kkkk kkkk	1Fkk	ADD A, k	k+A → A	Z, C, DC

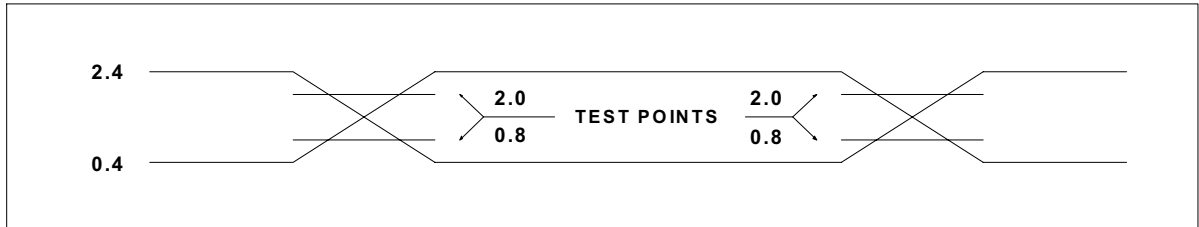
<注 1> 这个指令只能应用于 IOC5 ~ IOC7, IOCB, IOCE, IOCF。

<注 2> 建议这个指令不用于对 R3F 的操作。

<注 3> 这个指令不能操作 R3F。

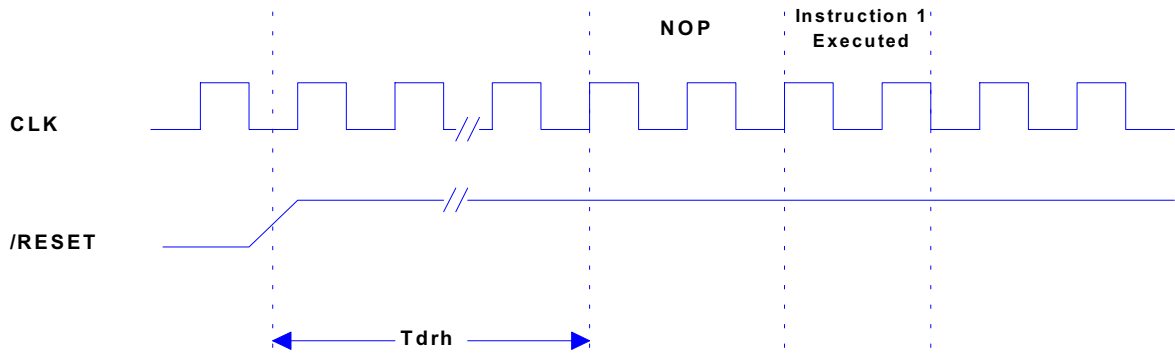
4.13 时序图

AC Test Input/Output Waveform

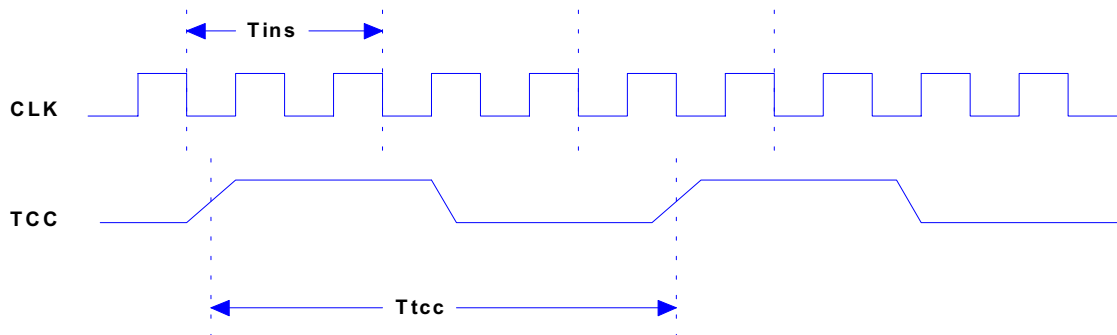


AC Testing : Input is driven at 2.4V for logic "1",and 0.4V for logic "0".Timing measurements are made at 2.0V for logic "1",and 0.8V for logic "0".

RESET Timing (CLK="0")



TCC Input Timing (CLKS="0")





5. 绝对最大值

Items	Rating		
Temperature under bias	0°C	to	70°C
Storage temperature	-65°C	to	150°C
Input voltage	-0.3V	to	+6.0V
Output voltage	-0.3V	to	+6.0V
Operating Frequency (2clk)	DC	to	20MHz



6. 电参数

6.1 直流电参数

(Ta= 0°C ~ 70 °C, VDD= 5.0V±5%, VSS= 0V)

Symbol	Parameter	Condition	Min	Typ.	Max	Unit
FXT	XTAL: VDD to 2.3V	Two cycle with two clocks	DC		4.0	MHz
	XTAL: VDD to 3V	Two cycle with two clocks	DC		8.0	MHz
	XTAL: VDD to 5V	Two cycle with two clocks	DC		20.0	MHz
ERC	ERC: VDD to 5V	R: 5.1KΩ, C: 100 pF	F±30%	950	F±30%	KHz
IIL	Input Leakage Current for input pins	VIN = VDD, VSS			±1	μA
VIH1	Input High Voltage (VDD=5V)	Ports 5, 6	2.0			V
VIL1	Input Low Voltage (VDD=5V)	Ports 5, 6			0.8	V
VIHT1	Input High Threshold Voltage (VDD=5V)	/RESET, TCC	2.0			V
VILT1	Input Low Threshold Voltage (VDD=5V)	/RESET, TCC			0.8	V
VIHX1	Clock Input High Voltage (VDD=5V)	OSCI	3.5			V
VILX1	Clock Input Low Voltage (VDD=5V)	OSCI			1.5	V
VIH2	Input High Voltage (VDD=3V)	Ports 5, 6	1.5			V
VIL2	Input Low Voltage (VDD=3V)	Ports 5, 6			0.4	V
VIHT2	Input High Threshold Voltage (VDD=3V)	/RESET, TCC	1.5			V
VILT2	Input Low Threshold Voltage (VDD=3V)	/RESET, TCC			0.4	V
VIHX2	Clock Input High Voltage (VDD=3V)	OSCI	2.1			V
VILX2	Clock Input Low Voltage (VDD=3V)	OSCI			0.9	V
VOH1	Output High Voltage (Ports 5, 6, 7)	IOH = -10.0 mA	2.4			V
VOL1	Output Low Voltage (Ports 5, 6)	IOL = 9.0 mA			0.4	V
VOL2	Output Low Voltage (Port7)	IOL = 14.0 mA			0.4	V
IPH	Pull-high current	Pull-high active, input pin at VSS	-50	-100	-240	μA
ISB1	Power down current	All input and I/O pins at VDD, output pin floating, WDT disabled			1	μA
ISB2	Power down current	All input and I/O pins at VDD, output pin floating, WDT enabled			7	μA
ICC1	Operating supply current (VDD=3V)	/RESET= 'High', Fosc=32KHz (Crystal type, CLKS="0"), output	15	25	30	μA



	at two cycles/four clocks	pin floating, WDT disabled				
ICC2	Operating supply current (VDD=3V) at two cycles/four clocks	/RESET= 'High', Fosc=32KHz (Crystal type, CLKS="0"), output pin floating, WDT enabled		30	35	μ A
ICC3	Operating supply current (VDD=5V) at two cycles/two clocks	/RESET= 'High', Fosc=4MHz (Crystal type, CLKS="0"), output pin floating, WDT enabled			2.2	mA
ICC4	Operating supply current (VDD=5V) at two cycles/four clocks	/RESET= 'High', Fosc=10MHz (Crystal type, CLKS="0"), output pin floating, WDT enabled			5.0	mA



6.2 交流电参数

($T_a=0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $V_{DD}=5\text{V}\pm 5\%$, $V_{SS}=0\text{V}$)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Dclk	Input CLK duty cycle		45	50	55	%
Tins	Instruction cycle time (CLKS="0")	Crystal type	100		DC	ns
		RC type	500		DC	ns
Ttcc	TCC input period		$(T_{ins}+20)/N^*$			ns
Tdrh	Device reset hold time	$T_a = 25^{\circ}\text{C}$	11.3	16.2	21.6	ms
Trst	/RESET pulse width	$T_a = 25^{\circ}\text{C}$	2000			ns
Twdt	Watchdog timer period	$T_a = 25^{\circ}\text{C}$	11.3	16.2	21.6	ms
Tset	Input pin setup time			0		ns
Thold	Input pin hold time			20		ns
Tdelay	Output pin delay time	$C_{load}=20\text{pF}$		50		ns

* N= 选择的预除器比率。



附录

封装类型:

OTP 型MCU	封装类型	引脚数	封装尺寸
EM78P447SAP	DIP	28	600 mil
EM78P447SAM	SOP	28	300 mil
EM78P447SAS	SSOP	28	209 mil
EM78P447SBP	DIP	32	600 mil
EM78P447SBWM	SOP	32	450 mil